

Introdução à Organização de Computadores

Prof. Dr. Luciano José Senger

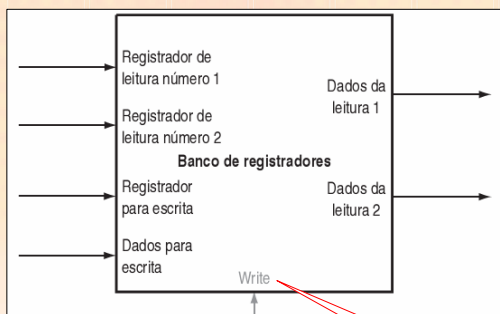
Aula 13

Elementos de memória: Banco de registradores, SRAM e DRAM

Banco de registradores

- Registradores de armazenamento podem ser integrados em um único componente
- Os valores dos registradores podem ser lidos ou escritos fornecendo o número (endereço) do registrador a ser acessado
- Um banco de registradores pode ser implementado através de um decodificador para cada porta de leitura e escrita e uma matriz (array) de registradores construídos a partir de flip-flops, por exemplo do tipo D
- Como a leitura do registrador não altera o estado, só precisamos fornecer o número do registrador como entrada, e a saída será os dados contidos nesse registrador.
- Para escrever em um registrador, precisamos de três entradas:
 - Um número de registrador
 - Dados a serem escritos
 - Sinal de clock para sincronizar a escrita

Banco de registradores



É necessário também um sinal de clock para controlar as escritas (não mostrado na figura)

Banco de registradores (leitura)

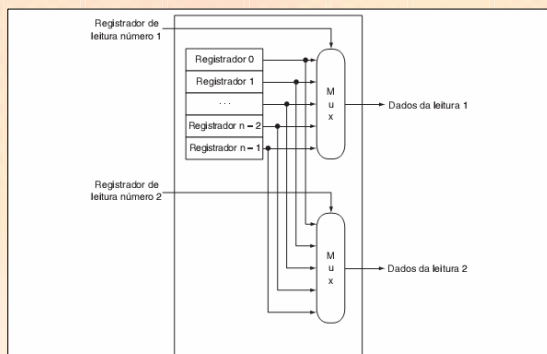


FIGURA B.8.8 A implementação de duas portas de leitura para um banco de registradores com n registradores pode ser feita com um par de multiplexadores n -para-1, cada um com 32 bits de largura. O sinal do número do registrador de leitura é usado como sinal seletor do multiplexador. A Figura B.8.9 mostra como a porta de escrita é implementada.

Banco de registradores (escrita)

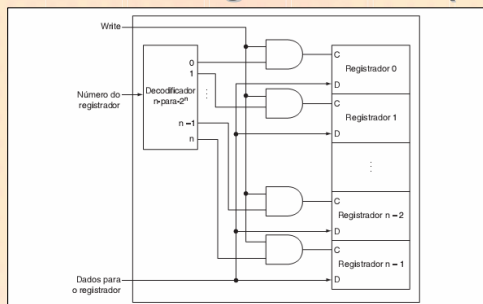
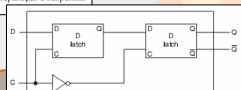


FIGURA B.8.9 A porta de escrita para um banco de registradores é implementada com um decodificador que é usado com o sinal de escrita (Write) para gerar a entrada C dos registradores. Todas as três entradas (o número do registrador, os dados e o sinal de escrita) terão restrições de tempo de preparação e suspensão que garantem que os dados corretos são escritos no banco de registradores.



Memória de acesso aleatório

- Registradores e Bancos de registradores oferecem blocos de montagem básicos para pequenas memórias, mas o computador necessita também de memórias mais densas (maior capacidade de armazenamento), que são construídas através de memórias de acesso aleatório
- O termo memória de acesso aleatório está relacionado com grandes arranjos de células genéricas de memória de escrita e leitura
- A memória RAM é frequentemente encontrada no sistema principal de memória de um computador pessoal e armazena todo dado importante necessários para o funcionamento do computador, incluindo os programas e o sistema operacional
- Memórias de acesso aleatório podem ser organizadas em dois grupos
 - Memórias estáticas (SRAM)
 - Memórias dinâmicas (DRAM)

Memória estática

SRAMs

SRAMs são circuitos integrados que são arrays de memória com (normalmente) uma única porta de acesso que pode ser de leitura ou escrita. SRAMs possuem um tempo de acesso fixo a qualquer dado, embora as características de leitura e escrita sejam diferentes. Um chip de SRAM possui uma configuração específica em termos do número de locais endereçáveis, bem como a largura de cada local endereçável. Por exemplo, uma SRAM de $4M \times 8$ oferece $4M$ entradas, cada uma com 8 bits. Assim, ela terá 22 linhas de entrada (pois $4M = 2^{22}$), uma linha de saída de dados de 8 bits, e uma única linha de entrada de dados de 8 bits. Assim como as ROMs, o número de locais endereçáveis é chamado de *altura*, com o número de bits por unidade chamado de *largura*. Por diversos motivos técnicos, as SRAMs mais novas e mais rápidas normalmente estão disponíveis em configurações estreitas: $\times 1$ e $\times 4$. A Figura B.9.1 mostra os sinais de entrada e saída para uma SRAM de $2M \times 16$.

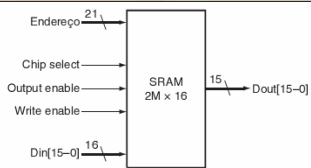


FIGURA B.9.1 Uma SRAM de $2M \times 16$ mostrando as 21 linhas de endereço ($2M \times 2^{21}$) e 16 entradas de dados, as três linhas de controle e as 16 saídas de dados.

Célula básica SRAM

- A memória estática é capaz de manter bits de dados armazenados apenas enquanto existir uma fonte de alimentação conectada ao circuito eletrônico
- Uma SRAM é baseada nas características de um *loop* fechado (realimentação) de dois inversores conectados em cascata
- Comparado com o latch com porta NOR, as estruturas são semelhantes, exceto pelo fato de se utilizarem portas NOT de uma única entrada lógica

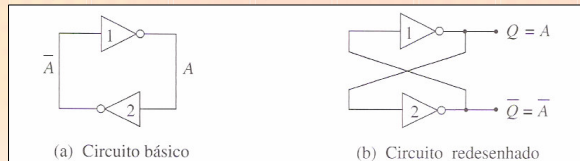


Figura 9.34 Inversores acoplados em cruz para formar um circuito biestável

Célula SRAM

- A célula SRAM pode ser implementada com duas chaves de acesso (sw), controladas pelo sinal da linha de palavra (WL)
 - Quando $WL=0$, a célula de armazenamento estará isolada de influências externas, armazenando o bit
 - Quando $WL=1$, as duas chaves serão fechadas, conectando a linha de bit D e a linha complementar ao *loop*
- Tais conexões permite ler ou escrever na célula

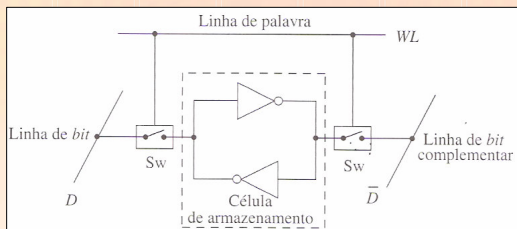
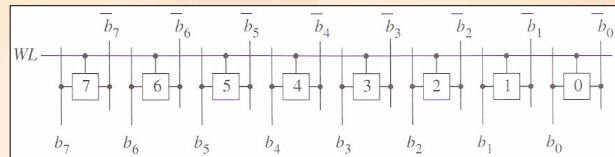


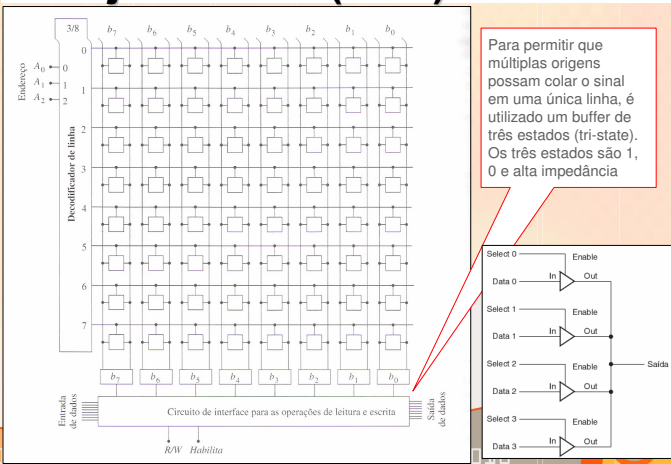
Figura 9.35 Projeto de uma célula SRAM

Arranjo de SRAM

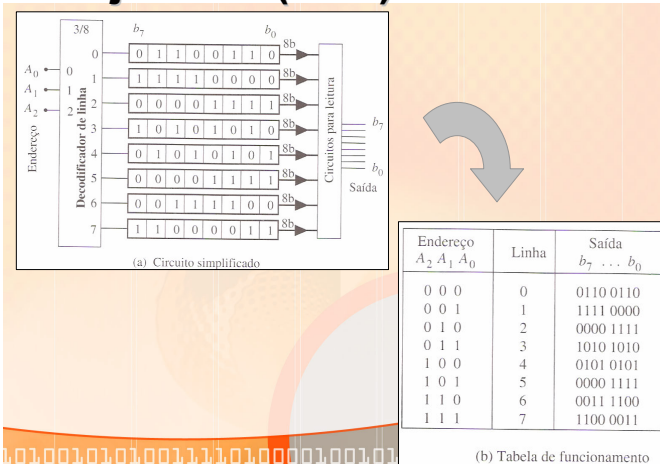
- SRAM são construídas para permitir o fácil armazenamento de palavras binárias de n-bits e não apenas bits individuais
- Um arranjo $m \times n$ consiste em m linhas, cada uma dessas linhas contendo n células
- Exemplo: arranjo 1×8



Arranjo de SRAM (8 x 8)

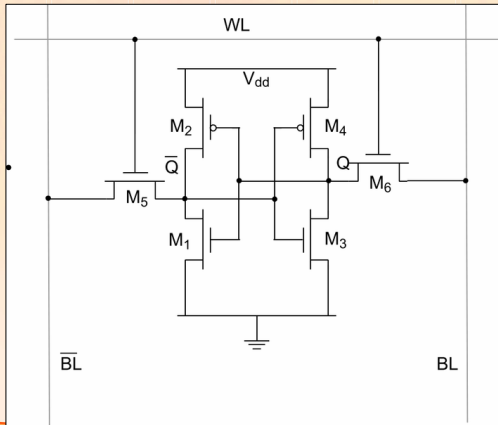


Arranjo SRAM (8 x 8)



(b) Tabela de funcionamento

Célula SRAM CMOS construída com 6 transistores

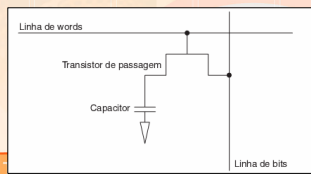


Memória DRAM

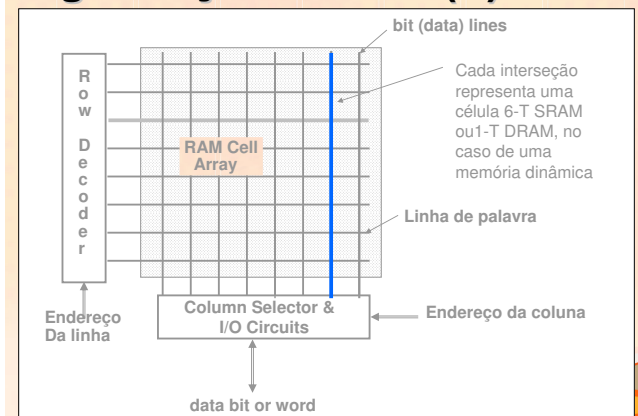
- Em uma RAM estática (SRAM), o valor armazenado na célula é mantido em um par de portas inversoras (4 a 6 transistores), e desde que haja energia sendo aplicada, o valor pode ser mantido indefinidamente
- Em uma RAM dinâmica (DRAM), o valor mantido em uma célula é armazenado como uma carga em um capacitor
- Um único transistor é utilizado para acessar a carga armazenada, ou para ler o valor ou para escrever sobre a carga armazenada
- Como apenas um transistor por célula é utilizado, memórias DRAM são mais baratas e apresentam uma melhor densidade de informação por área na pastilha (chip)
- A carga armazenada no capacitor não pode ser mantida indefinidamente, por isso é necessário que o circuito execute um *refresh* periódico para garantir a integridade da informação; devido a esse fato, as memórias desse tipo levam o nome de dinâmicas
- A carga pode ser mantida por vários milissegundos antes da necessidade de um *refresh*
- Nas tecnologias atuais, corresponde a milhões de ciclos de clock do processador antes de um *refresh*; o atraso gerado pelo *refresh* corresponde a 1% da velocidade de memória disponível. O mecanismo de *refresh* é implementado no próprio chip controlador de memória

Célula básica de memória DRAM

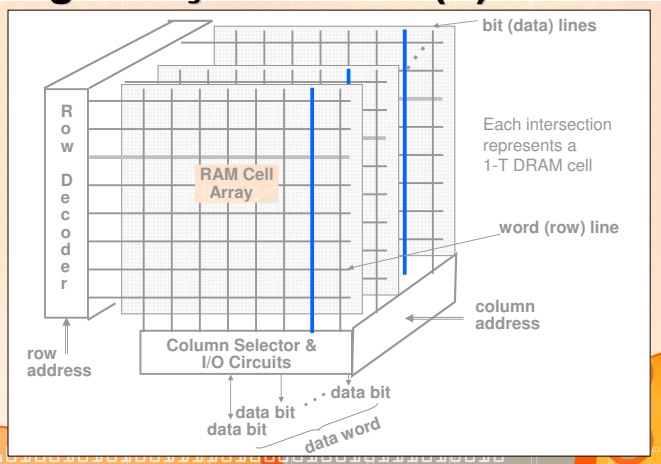
- O transistor da célula é uma chave, chamada de *transistor de passagem*, que permite que o valor armazenado no capacitor seja acessado para leitura ou escrita
- Quando o sinal na linha de palavra está ativo, o transistor de passagem que atua como uma chave é fechado, conectando o capacitor a linha de bits
- Se a operação for de escrita, o valor é colocado na linha de bits:
 - Se o valor for 1, o capacitor será carregado
 - Se for 0, o capacitor será descarregado
- Antes de ativar a linha de palavra para uma leitura, a linha de bits é carregada com uma voltagem que é a metade entre a voltagem alta e a voltagem baixa
- Depois, ativando a linha de words, a carga no capacitor é lida na linha de bits
- Isso faz com que a linha de bits mude ligeiramente para a direção alta ou baixa, e essa mudança é detectada por um amplificador de sensibilidade, que pode detectar pequenas mudanças na voltagem



Organização de uma (D)RAM



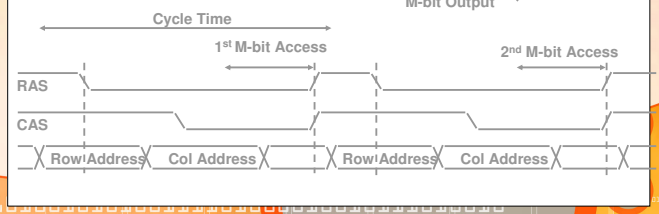
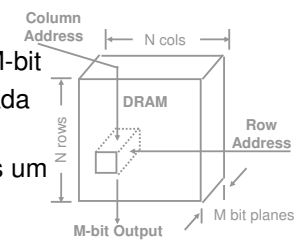
Organização de uma (D)RAM



Organização de uma DRAM

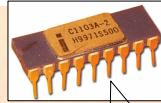
Organização DRAM:

- N rows x N column x M-bit
- Lê ou escreve M-bit cada tempo
- Cada acesso de M-bits um ciclo RAS / CAS cycle



Considerações finais

- Banco de registradores
 - Úteis dentro do caminho de dados da UCP
 - Rápidos
- Memória SRAM
 - Caras, desempenho elevado, consumo de energia alto
 - Utilizadas em memórias cache, internas ao processador
 - Arranjos podem ser construídos também com *flip-flops*
 - Utilizadas também em FPGAs e dispositivos como discos rígidos e drives de CD (na parte de controle)
- Memória DRAM
 - Baratas, desempenho inferior, consumo de energia menor, grande densidade de armazenamento
 - Utilizadas na memória principal, frequentemente chamada de memória RAM apenas



Primeira memória DRAM, Intel, 1970



Memória de ferrite, utilizada antes da década de 70 em racks construídos à mão que custavam 6,000 dólares

Leituras recomendadas

- Leituras
 - Uyemura, capítulo 9
 - Idoeta e Capuano, capítulo 8
 - Patterson e Hennessy, apêndice B.9
- Sítios da internet
 - http://en.wikipedia.org/wiki/Register_file
 - http://en.wikipedia.org/wiki/Static_random_access_memory
 - http://en.wikipedia.org/wiki/Static_random_access_memory
 - https://intranet.insa-toulouse.fr/view/422/content/static_ram.html
 - https://intranet.insa-toulouse.fr/view/422/content/64bit_ram.html
 - <http://www.museudocomputador.com.br/encimemo.php>
 - <http://inventors.about.com/od/dstartinventors/a/DRAM.htm>