

Curso de Engenharia de Computação  
Disciplina de Organização e Arquitetura de Computadores  
Exercícios sobre memória cache

Luciano José Senger  
UEPG

1. Em uma cache diretamente mapeada de 32 Bytes com um tamanho de bloco de 4 Bytes, para qual endereço de bloco o endereço em Bytes 36 é mapeado?
2. Suponha uma cache com 256 Bytes e um tamanho de bloco de 32 Bytes. Em que bloco o endereço em Bytes 300 se encontra?
3. Para realizar uma operação matrizes de duas dimensões, qual fragmento de código produz um melhor desempenho na utilização da cache? Sob quais circunstâncias os dois códigos apresentariam o mesmo desempenho?

Código 1

```
for(i=0; i!=500; i++)
    for(j=0; j!=500; j++)
        for(k=0; k!=500; k++)
            x[i][j]= x[i][j] + y[i][k] * z[k][j];
```

Código 2

```
for(k=0; k!=500; k++)
    for(j=0; j!=500; j++)
        for(i=0; i!=500; i++)
            x[i][j]= x[i][j] + y[i][k] * z[k][j];
```

4. Considere um sistema de memória virtual com as seguintes propriedades:
  - Endereço de Byte virtual de 40 bits
  - Páginas de tamanho igual a 16KB
  - Endereço de Byte físico de 36 bits

Responda:

- (a) Qual é quantidade de bits do endereço virtual que deve ser empregado para endereçar internamente uma página?
  - (b) Qual é a quantidade máxima de páginas que podem existir?
  - (c) Qual é o tamanho total da tabela de páginas para cada processo nesse processador, considerando que os bits de validade, de proteção, de modificação e de uso empregam um total de 4 bits, e que todas as páginas virtuais estão em uso (Considere que os endereços de disco não são armazenados na tabela de páginas)?
  - (d) Se fosse empregada uma estrutura de dois níveis, qual seria o tamanho mínimo da tabela de páginas?
5. Já que em um determinado momento existem vários programas (processos) em execução no computador, como o processador sabe onde é o endereço em memória da tabela de página de um processo?

Anotações