

SISTEMAS DIGITAIS

APONTAMENTOS DAS AULAS TEÓRICAS

Guilherme Arroz

Carlos Sêro

Versão 1.1
3 de Agosto de 2005

Instituto Superior Técnico
Departamento de Engenharia Electrotécnica
e de Computadores
TagusPark
Porto Salvo



Capítulo 16

Circuitos Sequenciais Síncronos

16.1 Circuitos Síncronos e Assíncronos

Relembremos, dos capítulos anteriores, que os circuitos sequenciais (ao contrário do que sucede com os circuitos combinatórios) apresentam níveis de tensão (valores lógicos) nas saídas que podem ser diferentes para níveis de tensão (valores lógicos) iguais nas entradas.

Existem várias formas de realizar circuitos sequenciais. Desde logo é possível realizar circuitos sequenciais sem utilizar flip-flops, apenas construindo realimentações entre as saídas de circuitos combinatórios e algumas entradas, como acontece com o circuito da Figura 16.1(a) — um latch RS como o da Figura 12.5, redesenhado para fazer salientar a (única) linha de realimentação — ou o circuito da Figura 16.1(b), com duas linhas de realimentação.

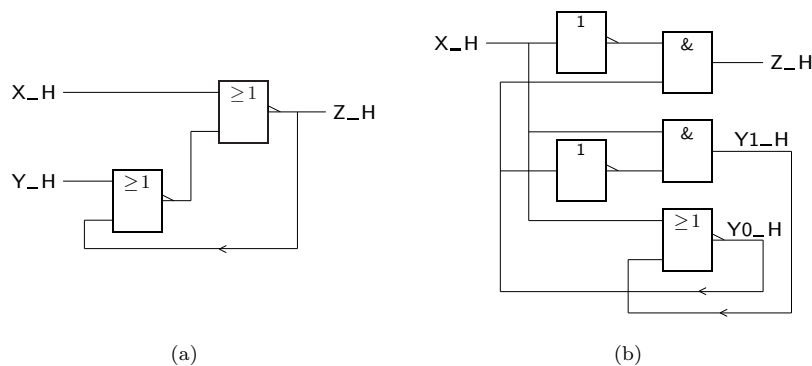


Figura 16.1: Logigramas de circuitos sequenciais que não utilizam flip-flops (circuitos assíncronos). O circuito da parte (a) é um latch RS, já conhecido da Figura 12.5

Não se deve, contudo, inferir que todos os circuitos formados por circuitos com-

16.2 Modelo de um Circuito Sequencial Síncrono

Como vimos anteriormente, os circuitos síncronos podem ser caracterizados, em primeira análise, por possuírem um conjunto de flip-flops (ou outros elementos de memória com as mesmas características — sem transparência) que reagem sincronamente aos flancos de comutação dos impulsos de relógio aplicados simultaneamente a todos eles.

Desta forma, os flip-flops garantem uma **função de memória** da sequência de valores lógicos (ou níveis de tensão eléctrica) aplicados às suas entradas externas, até um determinado instante. No fundo, os flip-flops descrevem, a cada flanco de comutação do relógio, um novo **estado do circuito** — que pode, eventualmente, ser igual ao anterior.

Terá de existir também um módulo de lógica combinatória que, em função dos níveis de tensão (ou valores lógicos) presentes nas entradas externas e do **estado actual** ou **estado presente** do circuito, permite determinar e apresentar aos flip-flops, para armazenagem, o próximo estado do circuito — o seu **estado seguinte**. A esta lógica combinatória dá-se o nome de **lógica do estado seguinte**.

Por fim, é necessário um outro bloco de lógica combinatória que, também em função do estado actual do circuito e dos níveis (valores lógicos) presentes nas entradas externas, determina as saídas do circuito — é a chamada **lógica de saída**.

O modelo descrito na Figura 16.4 descreve a estrutura genérica de um circuito sequencial síncrono.

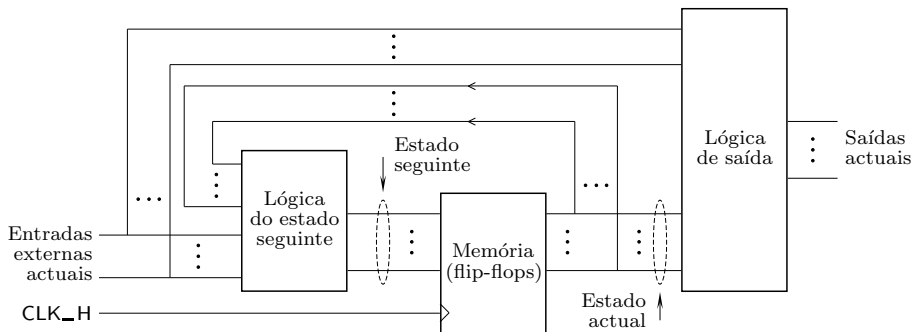


Figura 16.4: Modelo de um circuito sequencial síncrono genérico, onde se pode observar um conjunto de flip-flops sincronizados pelos mesmos flancos de comutação, uma lógica do estado seguinte e uma lógica de saída. As saídas dos flip-flops definem, em cada instante, o estado actual do circuito sequencial. As entradas dos flip-flops definem, directa ou indirectamente, o estado seguinte do circuito

16.3 Análise dos Circuitos Sequenciais Síncronos

Para a análise de um circuito sequencial síncrono parte-se do esquema eléctrico ou do logígrama do circuito e obtêm-se descrições de maior nível de abstracção,

Função de memória

Estado de um circuito síncrono

Estado actual (presente)

Estado seguinte

Lógica do estado seguinte

Lógica de saída

que permitam concluir do comportamento do circuito em vez da sua estrutura, tal qual ela vem dada pelo logigrama ou pelo esquema eléctrico.

O procedimento a seguir é relativamente linear:

<i>Equações de excitação</i>	1. levantam-se do circuito as equações de excitação dos flip-flops e as equações da saída do circuito;
<i>Equações de saída</i>	
<i>Tabela de excitações do circuito</i>	2. com as equações de excitação dos flip-flops estabelece-se uma tabela de excitações do circuito onde, para cada estado actual e para cada congiguração das entradas externas, se identificam os níveis de tensão aplicados aos flip-flops;
<i>Tabela de transições e de saídas</i>	3. a partir da tabela de excitações do circuito elabora-se uma outra tabela onde, para cada estado actual e para cada configuração de entradas externas, se identifica o estado seguinte do circuito e o nível correspondente das saídas; essa tabela designa-se por tabela de transições e de saídas ;
<i>Codificação dos estados</i>	4. a partir da tabela de transições do circuito podemos, por codificação dos estados , obter uma tabela de estados e de saídas do circuito;
<i>Tabela de estados e de saída</i>	5. em alternativa à tabela de estados e de saídas, pode construir-se um grafo orientado representando os estados, as transições entre estados e as saídas, a que se chama diagrama de estados .
<i>Diagrama de estados</i>	

Vamos exemplificar a aplicação destas regras para o circuito anteriormente representado na Figura 16.3.

1. EQUAÇÕES DE EXCITAÇÃO DOS FLIP-FLOPS E EQUAÇÕES DE SAÍDA

É fácil de ver, a partir do logigrama do circuito, que se verificam as seguintes equações de excitação e de saída:

$$\begin{aligned} DA &= QA \cdot X + QB \cdot X \\ DB &= \overline{QA} \cdot X \\ Z &= (QA + QB) \overline{X} \end{aligned}$$

2. TABELA DE EXCITAÇÕES DO CIRCUITO

O circuito possui dois flip-flops, pelo que poderá ter 4 estados. Na tabela de excitações da Tabela 16.1 apresentam-se todos os estados do circuito e, para cada nível de tensão na entrada externa, representam-se os níveis de tensão em DA_H e em DB_H .

Notar como esta tabela traduz os circuitos combinatórios de excitação dos flip-flops, já que toda ela é definida no instante t .

3. TABELA DE TRANSIÇÕES E DE SAÍDAS

Como os flip-flops D assumem nas saídas os níveis de tensão que têm presentes nas entradas síncronas quando recebem o flanco activo do impulso de relógio, é fácil perceber que a tabela de transições é igual, para estes flip-flops, à tabela de excitações. Obtemos, então, a tabela de transições e de saídas do circuito na Tabela 16.2.

Tabela 16.1: Tabela de excitações para o circuito da Figura 16.3

Estado actual		Níveis em DA e em DB			
		$X_{-H(t)} = L$		$X_{-H(t)} = H$	
$QA_{-H(t)}$	$QB_{-H(t)}$	$DA_{-H(t)}$	$DB_{-H(t)}$	$DA_{-H(t)}$	$DB_{-H(t)}$
L	L	L	L	L	H
L	H	L	L	H	H
H	L	L	L	H	L
H	H	L	L	H	L

Tabela 16.2: Tabela de transições e de saídas para o circuito da Figura 16.3

Estado actual		Estado seguinte				Saída $Z_{-H(t)}$	
		$X_{-H(t)} = L$		$X_{-H(t)} = H$		$X_{-H(t)} = L$	$X_{-H(t)} = H$
$QA_{-H(t)}$	$QB_{-H(t)}$	$QA_{-H(t+1)}$	$QB_{-H(t+1)}$	$QA_{-H(t+1)}$	$QB_{-H(t+1)}$		
L	L	L	L	L	H	L	L
L	H	L	L	H	H	H	L
H	L	L	L	H	L	H	L
H	H	L	L	H	L	H	L

Notar como os estados actuais e as saídas são definidas no instante t , e como os estados seguintes são definidos no instante $t + 1$. Por outro lado, reparar como as excitações $D_{(t)}$ em cada flip-flop (na Tabela 16.1) coincidem com as suas saídas $Q_{(t+1)}$ — os estados seguintes da Tabela 16.2.

Esta última tabela já constitui uma descrição comportamental do circuito ao longo do tempo, na medida em que apresenta a evolução estado actual \rightarrow estado seguinte.

Contudo, é ainda possível obter uma tabela de estados para o circuito ou ainda o seu diagrama de estados que, de forma mais abstracta e mais “visual”, permitem perceber o comportamento da **máquina sequencial** que lhe corresponde.

4. TABELA DE ESTADOS

A partir da tabela de transições e de saída podemos agora estabelecer uma tabela de estados e de saídas que, por vezes, e de forma abreviada, se designa apenas por **tabela de estados** da máquina sequencial.

Para tanto necessitamos de codificar previamente os estados da máquina (e do circuito sequencial). Ou seja, vamos, de forma abstracta, designar cada configuração de estados dos flip-flops, no caso (QA_{-H}, QB_{-H}) , por um nome arbitrário.

Uma máquina sequencial é uma abstracção de um circuito sequencial síncrono. Geralmente é descrita por um diagrama de estados ou por uma tabela de estados e de saídas.

Máquina sequencial

Tabela de estados

Naturalmente, a codificação dos estados é, nesta fase de análise, completamente arbitrária. É usual designar os estados pelas primeiras letras do alfabeto latino (“A”, “B”, etc.), mas podemos dar-lhes quaisquer outras designações. Por exemplo, podemos fazer a codificação de estados expressa pela Tabela 16.3.

Tabela 16.3: Tabela com a codificação de estados da máquina sequencial que está a ser analisada

Estado	QA_H	QB_H
A	L	L
B	L	H
C	H	L
D	H	H

Nesse caso obtém-se a tabela de estados da máquina sequencial que vem descrita pela Tabela 16.4.

Tabela 16.4: Tabela de estados para a máquina sequencial que vem implementada pelo circuito da Figura 16.3

Estado actual	Estado seguinte		Z	
	X = 0	X = 1	X = 0	X = 1
A	A	B	0	0
B	A	D	1	0
C	A	C	1	0
D	A	C	1	0

De notar que a tabela de saídas está representada em lógica positiva (com valores lógicos em vez de níveis de tensão), dado estarmos agora no domínio algébrico, onde nos manteremos com o diagrama de estados que se segue.

De notar ainda que a tabela de estados representa, de facto, uma máquina sequencial abstracta, que pode ser implementada pelo circuito da Figura 16.3 ou por muitos outros circuitos sequenciais diferentes (por exemplo, que usem flip-flops JK em vez de flip-flops D, ou que usem ainda flip-flops D edge-triggered mas que comutem nos flancos descendentes).

5. DIAGRAMA DE ESTADOS

O diagrama de estados da máquina sequencial constrói-se formando um grafo orientado com círculos representativos dos estados da máquina e com setas a ligar estados, representando as transições entre os estados.

Cada círculo representativo de um estado conterà a inscrição desse estado. As transições entre estados são representadas por setas que vão dos estados actuais para os estados seguintes. Junto a cada seta coloca-se uma indicação dos valores lógicos (porque estamos no domínio algébrico) das entradas externas que ocasionam essa transição.

Quanto aos valores lógicos das saídas, vêm associados aos valores lógicos das entradas externas que ocasionam as transições, e separados deles por um símbolo “/”.

Na Figura 16.5 ilustra-se o diagrama de estados da máquina sequencial que foi implementada pelo circuito da Figura 16.3.

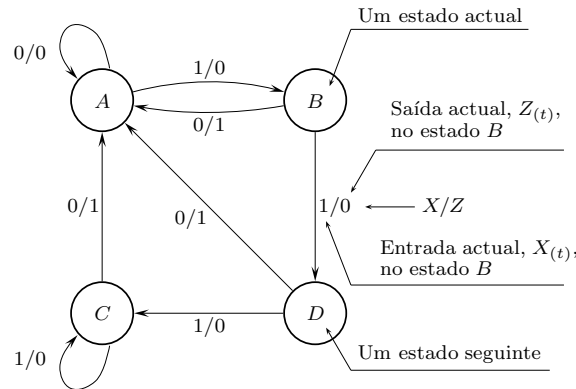


Figura 16.5: Diagrama de estados do circuito sequencial síncrono da Figura 16.3

Repare-se que, quer na tabela de transições, quer no diagrama de estados, a indicação do estado seguinte corresponde a um futuro que se concretizará quando houver impulso de relógio (flanco de comutação), enquanto que a saída se refere à situação presente (actual).

Por exemplo, se o circuito se encontrar no estado actual B com a entrada externa (actual) a 1, a saída (actual) é 0 enquanto o circuito se mantiver no estado B. Quando vier o flanco de comutação, o circuito passa para o estado seguinte D e a saída deixa de ser 0.



De forma idêntica, estando o circuito no estado actual B mas agora com a entrada externa (actual) a 0, a saída (actual) é 1 enquanto o circuito se mantiver no estado B. Quando vier o flanco de comutação, o circuito passa para o estado seguinte A e a saída deixa de ser 1.

Ou seja, e em resumo, enquanto o circuito se encontrar no estado B, a saída actual $Z_{(t)}$ é sempre o complemento da entrada actual $X_{(t)}$. De forma semelhante, concluiríamos que outro tanto se passa quando o circuito está nos estados C e D, mas que no estado A a saída actual é sempre 0, independentemente do valor lógico aplicado à entrada actual.



16.4 Modelos de Mealy e de Moore

O modelo da Figura 16.4 não é o único que existe para estruturar circuitos sequenciais síncronos. Este modelo foi apresentado por Mealy e, por isso, é conhecido por **modelo de Mealy**. Repete-se na Figura 16.6 por comodidade.

Modelo de Mealy

Com efeito, há um outro modelo que, se bem que diferindo apenas num pequeno pormenor, dá origem a circuitos com um comportamento sensivelmente

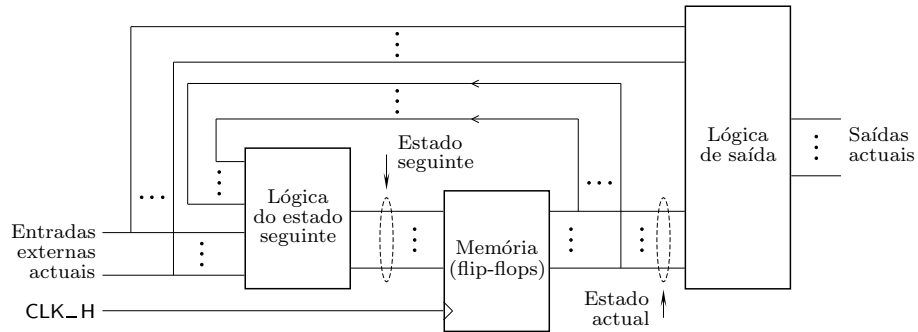


Figura 16.6: Modelo de Mealy um circuito sequencial síncrono

Modelo de Moore

diferente dos concebidos em torno do modelo de Mealy. Esse modelo alternativo, representado na Figura 16.7, é designado por **modelo de Moore**, e a única diferença consiste na lógica de saída que é apenas função dos estados do circuito e não das entradas externas.

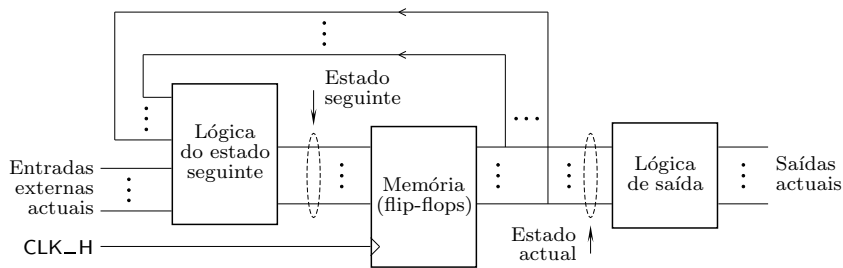


Figura 16.7: Modelo de Moore um circuito sequencial síncrono

Isso quer dizer que, no modelo de Moore, as saídas num dado instante não são sensíveis aos valores lógicos presentes nas entradas externas nesse instante, e o circuito na saída reage apenas ao seu passado e não ao seu presente. Isso tem consequências interessantes, que conduzem a diferenças entre os circuitos feitos segundo os dois modelos.

16.5 Síntese de Circuitos Sequenciais Síncronos

A síntese de circuitos sequenciais síncronos é feita de forma aproximadamente inversa à metodologia de análise dos circuitos.

O processo inicia-se pela formalização de um problema em termos de um diagrama ou de uma tabela de estados. A este nível sabemos pouco da estrutura do circuito, e apenas nos interessa estabelecer o comportamento pretendido. Assim, o nível de abstracção do diagrama ou da tabela é adequado. Em geral prefere-se começar pelo diagrama, por ser mais intuitivo na fase de construção que a tabela.

Obtido o diagrama passa-se à tabela de estados com o fim de obter uma forma adequada à determinação das equações do circuito.

Voltaremos a esta questão com mais pormenor mais à frente neste texto. Para já, na Secção 16.6 procuraremos mostrar como conceber diagramas de estados.

16.6 Exemplo de Concepção de Diagramas de Estados

Exemplifiquemos o processo de construção de um diagrama de estados com o seguinte problema: pretende-se obter um circuito que identifique a ocorrência da sequência binária 0101 na sua (única) entrada. Quando isso ocorrer, e só nessas circunstâncias, a sua saída deve exibir o valor 1.

Temos, por conseguinte, um circuito sequencial síncrono — que podemos designar por **detector da sequência 0101** — para o qual sabemos que existe uma entrada (chamemos-lhe X) e uma saída (digamos, Z), para além, naturalmente, da entrada de relógio (Figura 16.8).

Detector da sequência 0101

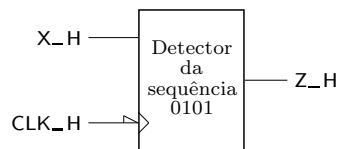


Figura 16.8: Diagrama de blocos do circuito sequencial síncrono que detecta a sequência 0101

Em primeiro lugar, há que optar por construir uma máquina segundo o modelo de Mealy ou de Moore. À primeira vista pode não se vislumbrar qualquer diferença, mas uma análise um pouco mais profunda mostra-a.

Se estivermos perante um modelo de Moore, *a saída da máquina só passará a 1 após o flanco de relógio que surge quando está presente o último bit da sequência, e esta tiver sido completamente identificada*. Se optarmos por um modelo de Mealy, *a saída surge logo que aparece aquele último bit*.

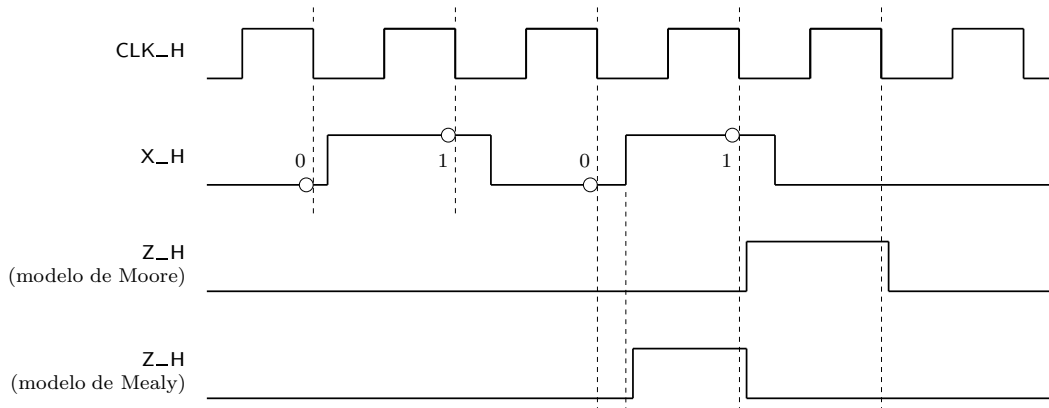


Por outro lado, *se o último bit da sequência tiver uma duração encurtada, então a saída da máquina de Mealy também terá uma duração encurtada, enquanto que a máquina de Moore terá uma saída com a duração exacta de um período de relógio*.



Admitindo que o circuito é realizado com flip-flops que reagem nos flancos descendentes, teremos, então, diagramas temporais diferentes consoante se opte por um ou outro modelo, como mostra a Figura 16.9.

Na figura mostram-se as duas reacções. No modelo de Moore, apesar do quarto bit da sequência estar presente quase desde o fim do terceiro impulso de relógio apresentado, a reacção só surge no quarto impulso. A saída mantém-se a H enquanto o circuito se encontrar no estado para que transitou, isto é, mantém-se a H durante um período de relógio.

**Notas:**

(i) no caso de se optar por uma máquina de Moore, a saída Z_H vem a H depois de aparecer o último bit da sequência, porém vem com a duração de um período de relógio;
(ii) no caso de se optar por uma máquina de Mealy, a saída Z_H vem encurtada (com uma duração inferior a um período de relógio) se a entrada X_H vier a H muito tarde nesse período de relógio, porém vem coincidente com o último bit da sequência.

Figura 16.9: Diagramas temporais que ilustram a diferença de resultados obtidos na saída do detector da sequência 0101 se se optar por um modelo de Mealy ou por um modelo de Moore. Admite-se que o circuito sequencial vem implementado com flip-flops edge-triggered que comutam nos flancos descendentes

No modelo de Mealy, a saída vem actualizada logo que surge o quarto bit da sequência (ou seja, a saída vem a H praticamente em coincidência com o último bit da sequência). E no próximo impulso o circuito inicia já a busca de nova sequência. No entanto, a duração da saída a H depende da duração do último bit da sequência. E se este bit vier encurtado em relação ao período de relógio, então a saída a H também vem encurtada.

16.6.1 Concepção de diagramas de estados: modelo de Moore

Começemos, então, por usar o modelo de Moore. Para construir um diagrama de estados há que perceber inicialmente quantas entradas e saídas tem o circuito. Neste caso é fácil. Temos uma entrada e uma saída. Isso quer dizer que cada estado terá, para além da sua designação específica, também a indicação da sua saída associada.

De cada estado sairão dois arcos, que correspondem aos dois valores lógicos da entrada (no caso das duas transições irem para o mesmo estado, pode usar-se apenas um arco do grafo).

A concepção do diagrama de estados de uma máquina sequencial síncrona assenta apenas na análise do comportamento pretendido. E vai sendo estruturado ao longo do processo. Aqui, por exemplo, iniciaremos o diagrama com um estado (Figura 16.10) que corresponde a ainda não ter surgido nenhum bit à entrada do circuito e que se chama, por isso, **estado inicial**. O estado inicial vem geralmente

Estado inicial

assinalado com uma seta que converge para ele. No nosso caso, o estado inicial terá saída 0, uma vez que não se verificam ainda as condições para a saída vir a 1 (ainda não surgiu a sequência 0101).



Figura 16.10: Evolução na construção do diagrama de estados do detector da sequência 0101, usando um modelo de Moore. Começa-se pelo estado inicial, designado arbitrariamente por estado A

Repare-se que, neste momento, não temos qualquer informação sobre o número de flip-flops que vão ser usados no circuito e, portanto, não podemos senão usar uma designação abstracta para cada um dos estados. Usámos a letra A para o estado inicial, mas podíamos, por exemplo, usar “Espera” ou qualquer outra designação.

No estado inicial podem ocorrer duas situações: ou surge um bit 0 na entrada ou surge um bit 1. Se surgir o bit 0, isso pode significar o início da sequência que se pretende identificar, e terá de ser memorizado. Logo, haverá que transitar para um estado (B ou “Primeiro_Bit”, por exemplo). A saída de B será 0, uma vez que ainda não se verificou a ocorrência da sequência completa. No caso de surgir 1 no estado A , esse bit não é o início da sequência pretendida e, portanto, a máquina vai continuar à espera do próximo 0, que pode ser o início de uma sequência. Com entrada 1 manter-nos-emos, assim, no estado A .

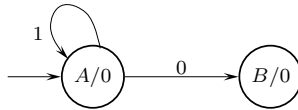


Figura 16.11: Evolução na construção do diagrama de estados do detector da sequência 0101, usando um modelo de Moore. Agora acrescentou-se um estado B e estabeleceram-se as transições que partem do estado A

No estado B (Figura 16.12), se a entrada for 1 estamos no bom caminho para detectar a sequência e passamos para um estado C que significa que, até esse estado, foram detectados os dois primeiros bits da sequência. Se, porém, a entrada for 0 no estado B , isso significa que esse 0 não é o segundo bit da sequência e, portanto, que o anterior 0 não era o primeiro bit da sequência. No entanto, pode acontecer que este 0 seja, ele próprio, o primeiro bit de uma sequência, como se pode ver no exemplo 00101... Assim, nesse caso o circuito vai manter-se no estado B .

No estado C , uma entrada a 0 conduz-nos ao estado D , onde ainda não se detectou completamente a sequência mas onde se detectaram já 3 dos 4 bits. Uma entrada a 1 no estado C , porém, significa que não estamos a detectar qualquer sequência. Ao contrário do que acontece com o 0 no estado anterior, este 1 não tem qualquer possibilidade de estar de alguma forma relacionado com a sequência. Portanto, recebido este 1, só resta ao circuito voltar ao estado inicial e iniciar nova espera (Figura 16.13).

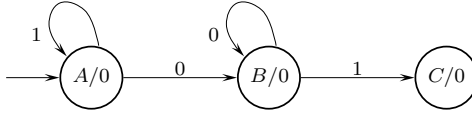


Figura 16.12: Evolução na construção do diagrama de estados do detector da seqüência 0101, usando um modelo de Moore. Aos estados A e B foi acrescentado um terceiro estado, C , bem como as transições que partem de B

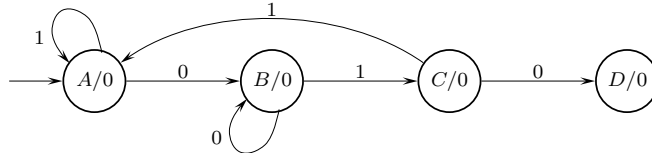


Figura 16.13: Evolução na construção do diagrama de estados do detector da seqüência 0101, usando um modelo de Moore. Aos estados A , B e C foi acrescentado um quarto estado, D , bem como as transições que partem de C

Se, agora, em D entrar um 1, a seqüência é detectada e avançamos para um estado E (Figura 16.14) em que, finalmente, a saída é 1. Se a entrada for 0 no estado D , a hipótese de se tratar da seqüência não se verifica e transita-se para o estado B pelas razões já atrás expostas.

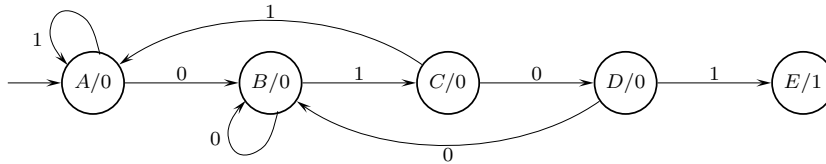


Figura 16.14: Evolução na construção do diagrama de estados do detector da seqüência 0101, usando um modelo de Moore. Ainda precisamos de um estado E

O estado E não é o fim das entradas no circuito. Novos bits vão ser presentes à entrada, pelo que é necessário prever a evolução a partir do estado E .

Mas agora temos um pequeno problema devido à ambiguidade do enunciado. De facto, o que admitir quando entra um novo bit a 0? Uma primeira interpretação é que, tendo acabado a seqüência anterior, este bit pode ser o primeiro da próxima seqüência. Nesse caso, transitar-se-ia para o estado B .

Mas outra interpretação surge se pretendermos considerar seqüências sobrepostas. Nesse caso, como se ilustra a seguir,

$$\underbrace{0\ 1\ 0\ 1}_{} \underbrace{0\ 1\ 0\ 1}_{} 1$$

podemos considerar que o bit 0 entrado no estado E é, não o primeiro, mas o

terceiro bit de uma nova sequência, o que nos faria transitar para D . Optaremos pela segunda hipótese, como mostra a Figura 16.15.

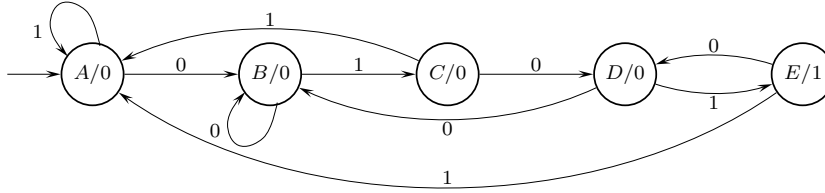


Figura 16.15: Versão final do diagrama de estados do detector da sequência 0101, usando um modelo de Moore e admitindo sequências sobrepostas

Repare-se que problemas de ambiguidade do tipo do exposto (e muito mais graves) são frequentes com descrições dos problemas em linguagem corrente e, portanto, informal. É, por isso, muito importante que, em qualquer problema de engenharia, se comece por formalizar o que se pretende. Aqui, isso é feito usando o formalismo dos diagramas de estado.

16.6.2 Concepção de diagramas de estados: modelo de Mealy

Vamos agora refazer o exemplo anterior para um modelo de Mealy. Relembre-se que se pretende obter um circuito que identifique a ocorrência da sequência 0101 na sua entrada. Quando isso ocorrer, e só nessas circunstâncias, a sua saída deve exibir o valor 1.

No modelo de Mealy a saída depende não só do estado mas também dos valores lógicos aplicados à entrada da máquina. Assim, cada estado, ao contrário do que acontece no modelo de Moore, não tem a saída associada apenas a si. A saída depende do valor na entrada. Por isso, o valor da saída é colocado junto aos arcos de transição, onde estão as entradas.

O estado inicial será, de novo, o estado A, como ilustra a Figura 16.16.

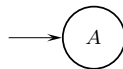


Figura 16.16: Evolução na construção do diagrama de estados do detector da sequência 0101, usando um modelo de Mealy. Começa-se pelo estado inicial, designado por estado A

Nesse estado podem surgir dois valores da entrada. Se a entrada for 0, evolui-se para o estado B pelas razões apontadas para a máquina de Moore. Se a entrada for 1, mantém-se o circuito no estado A . Em qualquer dos casos a saída é 0, como mostra a Figura 16.17.

Até se atingir o estado D o raciocínio é semelhante ao anteriormente realizado (Figura 16.18).

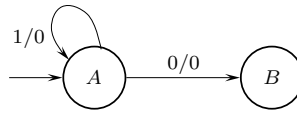


Figura 16.17: Evolução na construção do diagrama de estados do detector da sequência 0101, usando um modelo de Mealy. Acrescentou-se um estado B e as transições que partem do estado A

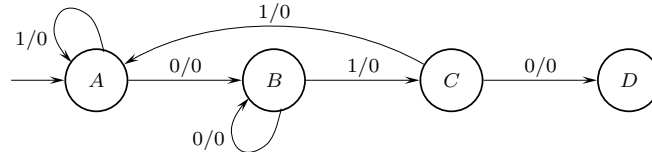


Figura 16.18: Evolução na construção do diagrama de estados do detector da sequência 0101, usando um modelo de Mealy. Acrescentaram-se os estados C e D , e as transições que partem de B e de C

Agora, como se está num modelo de Mealy, basta aparecer o valor 1 na entrada para a máquina dar imediatamente saída 1. Claro que a entrada 0 provoca a saída 0 e faz o circuito evoluir de novo para B , admitindo que esse 0 possa ser o início de uma sequência (Figura 16.19).

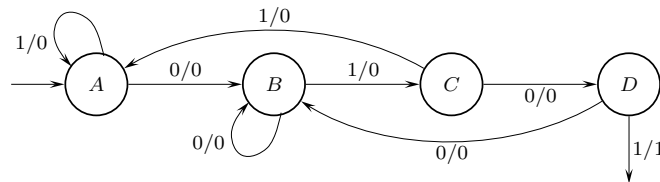


Figura 16.19: Evolução na construção do diagrama de estados do detector da sequência 0101, usando um modelo de Mealy. Mantendo os estados A a D (não são necessários mais estados), acrescentam-se mais transições admitindo sequências sobrepostas

A transição do estado D , neste modelo, é também diferente. Repare-se que a saída 1 já foi considerada. Assim sendo, não é necessário criar um estado apenas para garantir essa saída. Do estado D pode, então, transitar-se (admitindo sobreposição de sequências) directamente para o estado C , que é caracterizado por já ter entrado a sequência 01 (Figura 16.20).

Voltando agora à análise comparativa do comportamento dos circuitos projectados segundo os dois modelos referidos, detalha-se na Figura 16.21 um pouco mais o diagrama temporal da Figura 16.9, incluindo os estados que os circuitos vão assumir.

Como se vê, há realmente um comportamento diferente dos dois circuitos, embora globalmente tenham a mesma funcionalidade.

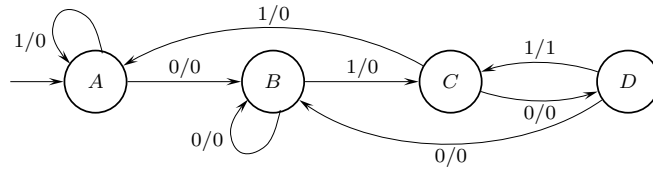


Figura 16.20: Versão final do diagrama de estados do detector da sequência 0101, usando um modelo de Mealy e admitindo sequências sobrepostas

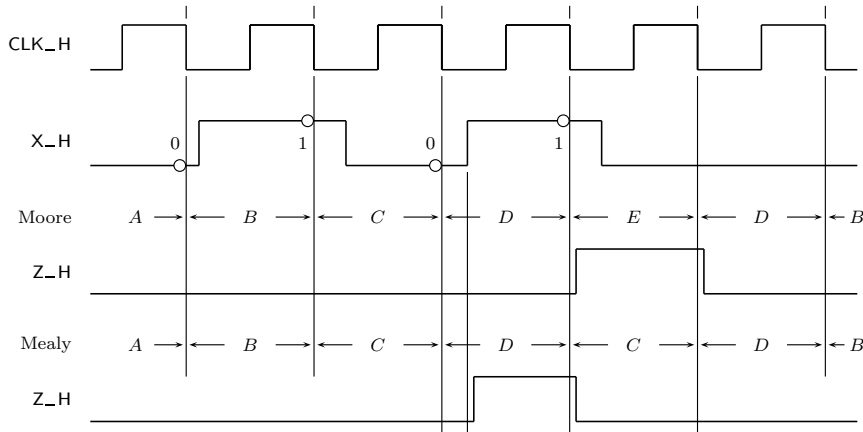


Figura 16.21: Diagramas temporais que ilustram a diferença de resultados obtidos na saída do detector da sequência 0101 se se optar por um modelo de Mealy ou por um modelo de Moore. Nesta figura detalha-se a Figura 16.9, por inclusão dos estados pelos quais as duas máquinas passam

16.7 Síntese Clássica

A síntese de circuitos sequenciais síncronos passa por uma série de passos que permitem passar de uma descrição informal de um problema para a implementação física de um circuito que tem o comportamento pretendido.

Há vários métodos para realizar essa passagem. O mais clássico descreve-se e exemplifica-se de seguida.

1. *Diagrama de estados do circuito.* Trata-se de estabelecer o comportamento pretendido num modelo formal, não ambíguo, que permite validar o que se pretende como comportamento. Trata-se de um passo opcional, uma vez que se pode, em alternativa, obter directamente a tabela de estados (ver a seguir). Mas é mais frequente e muito mais intuitivo construir o diagrama do que a tabela.
2. *Tabela de estados e de saídas do circuito.* A tabela de estados e de saídas obtém-se a partir do diagrama de estados, se o processo foi iniciado pelo diagrama de estados. Continuamos ao nível comportamental, mas a tabela adapta-se perfeitamente à obtenção do logograma final para o circuito.

3. *Escolha dos flip-flops.* Trata-se de determinar o número de flip-flops necessário para suportar os estados da máquina, e de escolher o seu tipo. Como é sabido, o número mínimo de flip-flops que é necessário prever é o menor inteiro que é maior ou igual ao logaritmo na base 2 do número de estados da máquina. Quanto ao tipo de flip-flops a utilizar no circuito, não existe nenhuma maneira de garantir que um determinado tipo de flip-flop conduz às equações de excitação mais simples (ver, contudo, o comentário da página 244). É nesta etapa que se gera a tabela de excitações dos flip-flops escolhidos.
4. *Codificação dos estados.* Em princípio, qualquer codificação serve. A cada codificação corresponderá, contudo, um circuito diferente e, naturalmente, algumas codificações vão gerar circuitos mais simples, enquanto outras darão origem a circuitos mais complexos. Contudo, não se dispõe de um algoritmo simples que permita determinar a configuração que conduz ao circuito mínimo. Nesta etapa obtemos a tabela de transições e de saídas do circuito.
5. *Tabela de excitações do circuito.* Depois de codificados os estados, obtemos uma tabela de excitações do circuito a partir da tabela de transições anterior e da tabela de excitações dos flip-flops escolhidos. Trata-se de uma tabela que descreve os níveis de tensão a aplicar às entradas síncronas dos flip-flops para que o comportamento temporal do circuito seja o que se estabeleceu na tabela de transições. Trata-se, pois, de uma tabela que descreve os circuitos combinatórios de excitação dos flip-flops, uma vez que na tabela todas as funções são descritas no mesmo instante t .
6. *Equações de excitação dos flip-flops.* Uma vez que a tabela de excitações do circuito descreve as excitações a aplicar num instante t genérico aos flip-flops em função dos seus estados no mesmo instante, podemos assim desenhar quadros de Karnaugh para as excitações e obter as correspondentes equações lógicas.
7. *Equações de saída do circuito.* Obtêm-se as equações das saídas do circuito a partir da tabela de transições e de saída (de notar que, nessa tabela, as saídas num instante t são definidas em função dos estados dos flip-flops no mesmo instante).
8. *Logigrama ou esquema eléctrico.* Desenha-se em seguida o logigrama do circuito, se necessário o seu esquema eléctrico.

Para exemplificar o processo vai-se obter o circuito correspondente a um dos diagramas de estados obtidos na secção anterior. Ilustrar-se-á a construção utilizando flip-flops D e flip-flops JK. O diagrama de estados que se vai utilizar é o da máquina de Mealy da Figura 16.20, que por comodidade se repete na Figura 16.22.

16.7.1 Síntese Clássica com Flip-flops D

A tabela de estados e de saídas que se obtém do diagrama de estados é lida directamente do diagrama (Tabela 16.5). O único pormenor a ter em conta é que as saídas são vistas na tabela como correspondentes a determinados pares

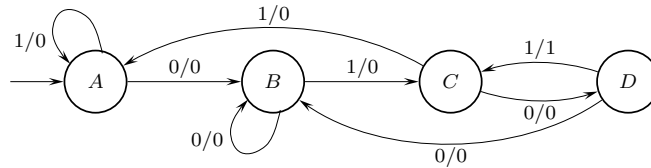


Figura 16.22: Diagrama de estados de Mealy do detector da sequência 0101 com saídas sobrepostas, a implementar com flip-flops do tipo D e do tipo JK

(estado actual, entrada actual), isto é, com tudo definido no mesmo instante, t . Pelo contrário, para os mesmos pares (estado actual, entrada actual) no instante t , os estados seguintes são definidos no instante $t + 1$.

Tabela 16.5: Tabela de estados e de saídas para o detector de sequências de Mealy da Figura 16.22

EA	ES/Z	
	X = 0	X = 1
A	B/0	A/0
B	B/0	C/0
C	D/0	A/0
D	B/0	C/1

De notar, nesta tabela, como a saída vem a 0 nos estados actuais A , B e C , e como ela vem igual a X no estado D , algo a que já tínhamos aludido anteriormente a propósito da leitura dos diagramas de estado das máquinas de Mealy (ver, por exemplo, os comentários finais da Secção 16.3, tecidos a propósito do diagrama de estados da Figura 16.5).

Como o circuito tem quatro estados, precisamos de dois flip-flops ($2^2 = 4$), que serão designados por $Q1$ e por $Q0$.

A determinação das configurações dos estados dos flip-flops que suportam cada estado do circuito (a codificação dos estados) não tem, como se disse atrás, nenhuma metodologia de resultados garantidos para a obtenção do circuito mais simples. O uso de algum bom senso pode, contudo, ajudar.

Por exemplo, no nosso caso o estado A é o estado inicial. O estado inicial terá de ser alcançado no início do funcionamento do circuito, actuando as entradas directas (assíncronas) dos flip-flops. Porque alguns flip-flops comerciais apresentam apenas entrada de CLEAR, parece razoável escolher, para o estado A , a configuração $Q1 = 0$ e $Q0 = 0$.

Por outro lado, a saída vale 1 apenas num lugar da tabela, quando a máquina está no estado actual D e $X = 1$. A função mais simples que se pode conceber é, então, o produto lógico entre as saídas dos flip-flops e a variável de entrada. Para isso, conviria que o estado D fosse codificado com $Q1 = 1$ e $Q0 = 1$, o que permite gerar uma função muito simples de implementar, $Z = X Q1 Q0$.

As restantes configuração são irrelevantes com o nosso conhecimento actual do circuito. Assim sendo, escolhe-se, por exemplo, a codificação dos estados que se apresenta na Tabela 16.6 (às saídas dos flip-flops é usual chamar **variáveis de estado** do circuito).

Variáveis de estado

Tabela 16.6: Tabela com a codificação dos estados do detector de sequências de Mealy da Figura 16.22

Estado	Q1_H	Q0_H
A	L	L
B	L	H
C	H	L
D	H	H

Substituindo, na anterior tabela de estados do circuito, os estados do circuito pelos estados dos flip-flops obtém-se a tabela de transições e de saídas da Tabela 16.7.

Tabela 16.7: Tabela de transições e de saídas do detector de sequências de Mealy da Figura 16.22

EA		ES/Z					
		X_H(t) = L			X_H(t) = H		
Q1_H(t)	Q0_H(t)	Q1_H(t+1)	Q0_H(t+1) / Z_H(t)	Q1_H(t+1)	Q0_H(t+1) / Z_H(t)	Q1_H(t+1)	Q0_H(t+1) / Z_H(t)
L	L	L	H / L	L	L / L	L	L / L
L	H	L	H / L	H	L / L	L	L / L
H	L	H	H / L	L	L / L	L	L / L
H	H	L	H / L	H	L / H	L	L / H

Esta tabela mostra-nos como deverão evoluir as variáveis de estado para satisfazer o comportamento pedido para o circuito.

Para em seguida obtermos a tabela de excitações do circuito, consideremos o seguinte: como sabemos da Secção 13.2 (ver a Tabela 13.3), para conseguir que um flip-flop D assuma um determinado nível de tensão na saída Q_H depois de ocorrido um flanco de comutação, basta colocar na entrada síncrona esse nível de tensão antes de ocorrer o flanco. Por isso, para passar da tabela de transições anterior para a tabela de excitações do circuito, basta mudar o nome das colunas, como se faz na Tabela 16.8.

De notar que se retiraram desta tabela as saídas do circuito, dado que as podemos gerar a partir da tabela de transições e de saídas anteriormente obtida.

Podemos agora obter as equações lógicas de $D1$, de $D0$ e de Z em função de

Tabela 16.8: Tabela de excitações do detector de seqüências de Mealy da Figura 16.22 que usa flip-flops do tipo D

EA		Excitações dos flip-flops			
		X-H(t) = L		X-H(t) = H	
Q1-H(t)	Q0-H(t)	D1-H(t)	D0-H(t)	D1-H(t)	D0-H(t)
L	L	L	H	L	L
L	H	L	H	H	L
H	L	H	H	L	L
H	H	L	H	H	L

Q1, de Q0 e de X recorrendo aos quadros de Karnaugh da Figura 16.23:

$$D1 = X Q0 + \bar{X} Q1 \bar{Q}0$$

$$D0 = \bar{X}$$

$$Z = X Q1 Q0$$

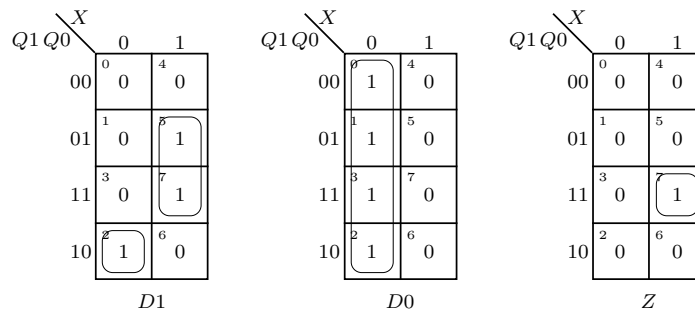


Figura 16.23: Quadros de Karnaugh para as excitações dos flip-flops D e para a saída do detector de seqüências de Mealy da Figura 16.22

Finalmente, podemos desenhar na Figura 16.24 o logigrama do detector de seqüências que temos vindo a sintetisar.

Notemos que guardámos até esta altura a decisão sobre o modo de actuação dos flip-flops cujo tipo foi anteriormente escolhido. Ou seja, todo o processo de síntese anterior apenas necessitou de saber que usámos flip-flops do tipo D. Só quando queremos desenhar o logigrama é que temos de decidir se são flip-flops master-slave ou edge-triggered, a comutar nos flancos ascendentes ou descendentes.



No logigrama do nosso detector de seqüências escolhemos, arbitrariamente, utilizar flip-flops D edge-triggered a comutar nos flancos descendentes.

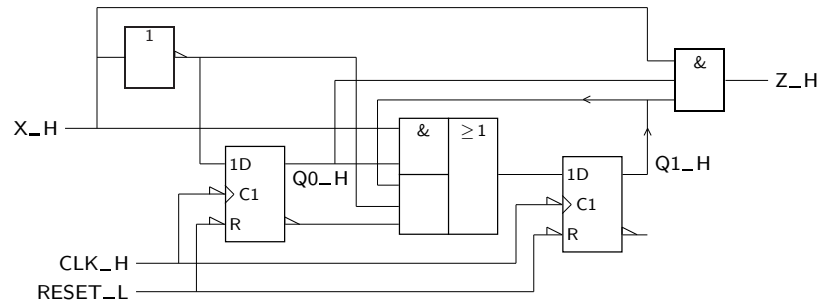


Figura 16.24: Logigramma do detector de seqüências de Mealy que utiliza flip-flops D

16.7.2 Síntese Clássica com Flip-flops JK

Como é evidente, todos os passos até à definição da tabela de transições e de saídas do circuito (Tabela 16.7) são idênticos ao caso em que se trabalha com flip-flops D. Naturalmente, agora precisamos de utilizar a tabela de excitações dos flip-flops JK (Tabela 14.6 na página 245), em vez da tabela correspondente dos flip-flops D.

Combinando a tabela de transições e a tabela de excitações dos flip-flops JK, obtém-se uma tabela de excitações do circuito idêntica à da Tabela 16.8 em que se especifica o nível de tensões a aplicar às entradas dos flip-flops para obter a evolução pretendida.

Por exemplo para o quadrado assinalado a **negrito** na Tabela 16.9, indicam-se os níveis de tensão a colocar nas entradas síncronas J_H e K_H dos dois flip-flops para que o estado do primeiro se mantenha a L e o do segundo evolua de L para H, como especificado na parte esquerda da tabela para o estado actual (L,L) e entrada actual $X_H = L$.

Obtemos, assim, uma tabela em que temos a especificação dos níveis a aplicar a J e a K em função dos estados actuais e da entrada actual.

Tal como anteriormente, podemos obter os mapas de Karnaugh para os J e K na Figura 16.25 e as equações

$$\begin{aligned} J1 &= X Q0 \\ K1 &= \overline{X} Q0 + X \overline{Q0} = X \oplus Q0 \\ J0 &= \overline{X} \\ K0 &= X. \end{aligned}$$

A equação da saída Z é idêntica à obtida para os flip-flops D, uma vez que a função de saída não se altera com o tipo de flip-flops.

O circuito terá, portanto, o logigramma da Figura 16.26.

Como se pode observar, o circuito total possui complexidade idêntica à do circuito obtido com flip-flops D. Deve, contudo, recordar-se a nota à margem da página 244, que afirma que é mais provável obter circuitos de excitação mais simples se se utilizarem flip-flops JK.

Tabela 16.9: Construção da tabela de excitações do detector de seqüências de Mealy da Figura 16.22, com a utilização de flip-flops JK, a partir da tabela de transições do circuito

EA		ES				
		$X_{-}H_{(t)} = L$		$X_{-}H_{(t)} = H$		
$Q1_{-}H_{(t)}$	$Q0_{-}H_{(t)}$	$Q1_{-}H_{(t+1)}$	$Q0_{-}H_{(t+1)}$	$Q1_{-}H_{(t+1)}$	$Q0_{-}H_{(t+1)}$	← Tabela de transições
L	L	L	H	L	L	
L	H	L	H	H	L	
H	L	H	H	L	L	
H	H	L	H	H	L	

EA		Excitações dos flip-flops							
		$X_{-}H_{(t)} = L$				$X_{-}H_{(t)} = H$			
$Q1_{-}H_{(t)}$	$Q0_{-}H_{(t)}$	$J1_{-}H_{(t)}$	$K1_{-}H_{(t)}$	$J0_{-}H_{(t)}$	$K0_{-}H_{(t)}$	$J1_{-}H_{(t)}$	$K1_{-}H_{(t)}$	$J0_{-}H_{(t)}$	$K0_{-}H_{(t)}$
L	L	L	X	H	X	L	×	L	×
L	H	L	×	×	L	H	×	×	H
H	L	×	L	H	×	×	H	L	×
H	H	×	H	×	L	×	L	×	H

Tabela de excitações
↓

16.8 Síntese com um Flip-flop por Estado

Uma forma alternativa de implementar um circuito sequencial síncrono consiste em utilizar um flip-flop D por cada estado do circuito. Trata-se de um método que não garante a simplificação do logigrama do circuito, mas que é bastante estruturado e permite realizações interessantes com os componentes programáveis actualmente disponíveis.

Por outro lado, com circuitos que tenham muitas entradas ou estados, pode mesmo ser a metodologia mais adequada por não obrigar a uma visão global do circuito na fase de concepção, e por conduzir a uma síntese muito simplificada — não há, neste método, que estabelecer as tabelas de transições e de saídas, nem as tabelas de excitação do circuito, nem os mapas de Karnaugh para as excitações e saídas, que podem ter dimensões muito grandes se o número de entradas e de estados for elevado.

A existência de um flip-flop por cada estado do circuito, é claro, conduz a mais flip-flops do que os que são necessários com as metodologias anteriores. Em cada momento, só um dos flip-flops vê a sua saída $Q_{-}H$ activada, e esse flip-flop determina o estado em que o circuito se encontra. No estado inicial há que activar a saída do respectivo flip-flop (o flip-flop que corresponde ao estado inicial) e desactivar os restantes.

A simplicidade de síntese que este método permite resulta de podermos pôr em

Se olharmos para as saídas dos n flip-flops do circuito, apenas com uma activa e todas as outras inactivas em cada impulso de relógio, é como se estivessemos a descrever as diversas palavras de um código 1-em- n .