

## 1 Introdução

O Quartus é um software da classe CAD (*Computer Aided Design*) criado para o projeto de hardware digital. Nesse software, podem ser empregados símbolos de lógica digital (diagramas de blocos e portas) e linguagens de descrição de hardware (VHDL, Verilog, etc.). Os circuitos criados podem ser simulados, e o projeto (hardware criado) pode ser gravado em matrizes lógicas programáveis (p.e. FPGAs). O software está disponível gratuitamente<sup>1</sup>, mediante cadastro prévio. O objetivo desta aula é mostrar o funcionamento básico deste software, empregando circuitos projetos em VHDL como exemplos.

### 1.1 Exemplo de projeto

O exemplo a seguir implementa um esquema de geração de bit de paridade par para uma palavra de 3 bits:

Exemplo em VHDL

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY paridade_vhdl IS  
    PORT ( x1, x2, x3 : IN STD_LOGIC;  
          f  
          : OUT STD_LOGIC);  
END paridade_vhdl;  
  
ARCHITECTURE behavior OF paridade_vhdl IS  
    BEGIN  
        f<= (x1 XOR x2 XOR x3);  
    END behavior;
```

### 1.2 Síntese do projeto

Síntese em VHDL corresponde a um processo similar à compilação de software, na qual é verificado se o código é livre de erros. Sintetizando Para isso, clique em **Processing> Start> Analysis & Elaboration**. Um relatório com avisos e erros é apresentado.

### 1.3 Simulação do projeto

Para iniciar a simulação, acesse o menu **File>New** e escolha a opção **Vector Waveform File**. O tempo de simulação pode ser editado, com o objetivo de limitar o processamento. Salve o arquivo de simulação como **paridade\_vhdl.vwf**.

Para que a simulação seja executada, é necessário que os pinos de entrada sejam escolhidos. Isso pode ser feito na opção **Edit>Insert> Node or Bus**. Use a opção **Node Finder** e depois **Pins: All** e clique em **List**. Os pinos (*ports*) do



Figura 1: Exemplo de placa FPGA

projeto (x1, x2, x3 e f) serão mostrados. Selecione os quatro pinos e clique na seta > para adicioná-los na simulação.

Utilizando o gráfico **waveform**, pode-se atribuir entradas ao circuito. Após, utilize **Assignments>Settings, Simulator Settings** e escolha **Functional** em **Simulation Mode**. Em **Simulation Input**, selecione o arquivo de simulação **paridade\_vhdl.vwf**.

Para iniciar a simulação, a opção a ser selecionada é **Processing>Generate Functional Simulation Netlist**. Na simulação funcional, supõe-se que não há atrasos entre os dispositivos e fios. Por fim, clique em **Processing>Start Simulation**.

Ao final da simulação, pode-se verificar os valores das saída *f* para os conjunto de entradas. Nota-se então que o circuito sintetizado a partir do código vhdl implementa a função desejada.

## 2 Exercícios

1. Modifique o código do exemplo, para que seja implementada a paridade ímpar para uma palavra de 7 bits. Projete e simule o circuito no Web Quartus.
2. Empregando o Web Quartus, implemente um multiplexador 4x1 em Vhdl e simule o seu comportamento.

## 3 Referências

1. <http://docentes.puc-campinas.edu.br/ceatec/pannain/>: Notas de aula do professor Ricardo Pannain, PUC/Campinas.
2. <http://www.altera.com/products/software/quartus-ii/web-edition/qts-we-index.html> Software Web Quartus.

<sup>1</sup><http://www.altera.com/products/software/quartus-ii/web-edition/qts-we-index.html>